

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-230347

(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

H01L 23/28

H01L 21/56

H01L 23/12

H01L 23/29

H01L 23/31

(21)Application number : 2000-039302

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.02.2000

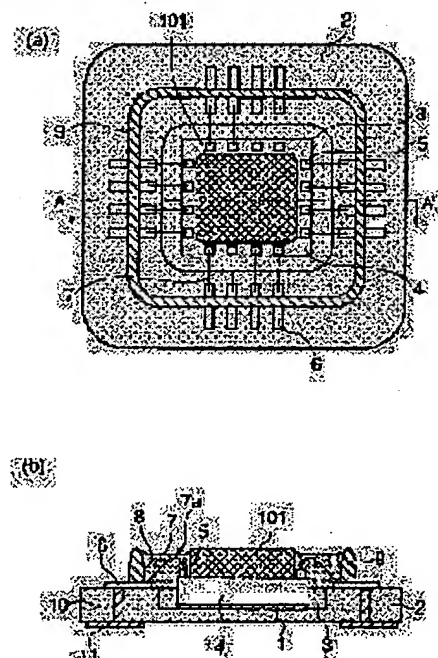
(72)Inventor : NOGUCHI TAKASHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which secures a sufficient thickness of a sealed material, prevents exposure of metallic thin lines, and is made thin in the entire thickness.

SOLUTION: A semiconductor chip 4 mounted on a substrate 2 having electrodes 6 is fixed with bonding material 1, and the electrodes 6 are electrically connected to electrodes 5 on an upper surface of the chip 4 with conductors 7. Further, a frame 9 as a sealing-material flowing restriction means having side surfaces opposed to side surfaces of the chip 4 is provided around the chip 4 and the conductors 7. Thereafter an auxiliary material 101 is mounted on the chip 4 and sealing material 8 is injected into a gap between the auxiliary material 101 and frame 9 to seal the chip 4 and conductors 7. Thereby a thin semiconductor device can be obtained.



LEGAL STATUS

[Date of request for examination]

24.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230347

(P2001-230347A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L	23/28	H 0 1 L	C 4 M 1 0 9
	21/56		R 5 F 0 6 1
	23/12		L
	23/29		B
	23/31		

審査請求 未請求 請求項の数 18 O L (全 8 頁)

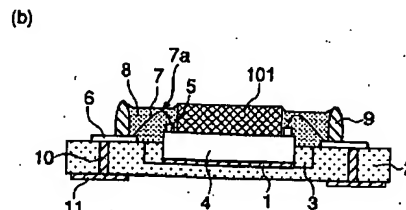
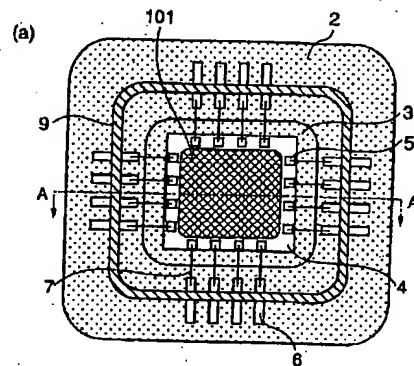
(21) 出願番号	特願2000-39302(P2000-39302)	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成12年2月17日 (2000.2.17)	(72) 発明者	野口 高 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74) 代理人	100089093 弁理士 大西 健治
		Fターム (参考)	4M109 AA01 AA02 BA03 CA06 DB07 5F061 AA01 AA02 BA03 CA06 CB13

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 封止体の厚さを十分に確保し、金属細線の露出を防ぐと共に、全体の厚さを薄型化した半導体装置を提供する。

【構成】 電極6をもつ基板2上に搭載された半導体チップ4を接着材1により固定し、電極6と半導体チップ4上面にある電極5を導電体7により電気的に接続する。さらに、半導体チップ4と導電体7の周囲に、半導体チップ4の側面に対向する側面を有する封止体流出制限手段の枠9を設ける。その後、半導体チップ4上に補助材101を設置し、補助材101と枠9の間に封止体8を注入することにより、半導体チップ4と導電体7の封止を行う。このようにして薄型の半導体装置を得る。



【特許請求の範囲】

【請求項1】 基板表面上に搭載され、表面に電極を有する半導体チップと、
前記基板表面上に設けられ、前記半導体チップの側面に対向する側面を有する封止体流出制限手段と、
前記基板表面上に形成され、前記半導体チップと前記封止体流出制限手段にある電極と、
前記半導体チップ表面上の電極と前記基板表面上の電極とを接続する導電体と、
前記半導体チップ表面上に配置した補助材と、
前記封止体流出制限手段と前記補助材との間に充填され、かつ、前記導電体を覆う封止体とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体チップを搭載する領域の前記基板表面に凹部を設け、前記凹部に前記半導体チップを搭載することを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記半導体チップは前記補助材と前記封止体により覆われていることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記補助材の上面は前記金属細線の上方に位置し、前記補助材の上面は対向する下面よりも広い面積を有することを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記導電体が接近する前記補助材の側面と前記導電体とは、所定距離だけ離間していることを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、前記封止体流出制限手段と前記補助材と前記封止体とが略同一平面を構成することを特徴とする半導体装置。

【請求項7】 請求項1記載の半導体装置において、前記補助材は樹脂からなることを特徴とする半導体装置。

【請求項8】 表面に電極を有する半導体チップを基板表面上に搭載する工程と、
前記半導体チップの側面に対向する側面を有する封止体流出制限手段を前記基板表面上に設ける工程と、
前記基板表面上の前記半導体チップと前記枠間に電極を形成する工程と、
前記半導体チップ表面上の電極と前記基板表面上の電極とを導電体により接続する工程と、
前記半導体チップ表面上に補助材を配置する工程と、
前記枠と前記補助材との間に封止体を充填する工程と、
前記封止体により前記導電体を覆う工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、
前記封止体により前記導電体を覆う工程の後に、少なくとも前記補助材を研削する工程を有することを特徴とす

る半導体装置の製造方法。

【請求項10】 請求項8記載の半導体装置の製造方法において、

前記半導体チップを搭載する工程は、前記基板表面上に凹部を形成した後、前記凹部の底面に前記半導体チップを搭載することを特徴とする半導体装置の製造方法。

【請求項11】 請求項8記載の半導体装置の製造方法において、

前記補助材は樹脂からなることを特徴とする半導体装置の製造方法。

【請求項12】 表面に電極を有する半導体チップを基板表面上に搭載する工程と、

前記半導体チップの側面に対向する側面を有する封止体流出制限手段を前記基板表面上に設ける工程と、

前記半導体チップと前記封止体流出制限手段との間の前記基板表面上に電極を形成する工程と、

前記半導体チップ表面上の電極と前記基板表面上の電極とを導電体により接続する工程と、

前記封止体流出制限手段により規定され、前記半導体チップを含む領域の上方に充填カバーを配置する工程と、
前記枠と前記充填カバーとの間に封止体を充填する工程と、

前記封止体により前記導電体を覆う工程を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、

前記半導体チップを搭載する工程は、前記基板表面上に凹部を形成した後、前記凹部の底面に前記半導体チップを搭載することを特徴とする半導体装置の製造方法。

【請求項14】 請求項12記載の半導体装置の製造方法において、

前記充填カバーの前記封止体と接する面には樹脂剥離剤が塗布されていることを特徴とする半導体装置の製造方法。

【請求項15】 請求項12記載の半導体装置の製造方法において、

前記基板表面より最も離れた前記導電体部分の上部に少なくとも前記充填カバーを配置する工程を有することを特徴とする半導体装置の製造方法。

【請求項16】 請求項12記載の半導体装置の製造方法において、

前記充填カバーは前記封止体流出制限手段により規定された領域よりも小さいことを特徴とする半導体装置の製造方法。

【請求項17】 請求項12記載の半導体装置の製造方法において、

前記充填カバーは前記封止体流出制限手段により規定された領域と前記充填カバーとの間に存在する気体を排出する開口部を有することを特徴とする半導体装置の製造方法。

【請求項18】 請求項12記載の半導体装置の製造方法において、
前記封止体流出制限手段と前記充填カバー間に前記封止体を充填する際、前記封止体流出制限手段により規定された領域と前記充填カバー間に存在する気体の吸引を行いながら封止体の充填を行う工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に薄型化可能な半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】この分野の従来技術として、現在、金型などを使わずに比較的安価で得られるチップ・オン・ボード(COB)実装構造が採用されている。このCOB実装構造は、基板上に直接半導体チップを搭載し、封止を行う構造から成っている。図7(a)～図7(b)は、従来のCOB構造を示す図であり、図7(a)は平面図、図7(b)は図7(a)のA-A'線で切断した断面図である。図7(a)～(b)において、1は接着材、2は基板、4は半導体チップ、5は半導体チップの電極、6は基板の電極、7は導電体、8は封止体、9は封止体流出制限手段である。

【0003】従来のCOB実装構造による封止体8では、封止体硬化時の空気の巻き込みを防ぎ、作業効率を高めるという点から粘度の低い液状樹脂を用いる場合が多い。そのため、従来のCOB実装構造では、半導体チップ4の周囲に封止体8の基板2上への流れ出しを防止する封止体流出制限手段、例えば枠9が設けてある。

【0004】

【発明が解決しようとする課題】しかしながら、上記に述べたような従来のCOB実装構造では、金型を用いて封止を行う実装構造に比べ、より安価で半導体装置を得ることが可能となる反面、粘度の低い液状樹脂を封止体として用いるために枠による表面張力が生じ、封止体が封止体流出制限手段、つまり枠方向に引っ張られるという現象が起きてしまう。一般に、ワイヤーボンディング装置を用いて導電体を形成すると、図7に示したように導電体の頂点部分7aが形成される。結果、枠により規定された領域の中心部分において、封止体の厚さを十分に確保することが難しかった。このため従来のCOB実装構造では中心部分の封止体の厚さが薄くなった部分で導電体の頂点部分が露出する恐れがあった。この露出により、導電体の切断、腐食などが起こりやすく、半導体装置の信頼性が低下するという問題が生じていた。

【0005】そこで本発明では、上記の問題点をできるだけ除去し、市場のニーズに対応した安価で信頼性の高い、薄型化可能な半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明に係る半導体装置は、基板表面上に搭載され、表面に電極を有する半導体チップと、基板表面上に設けられ、半導体チップの側面に対向する側面を有する封止体流出制限手段と、基板表面上に形成され、半導体チップと枠間にある電極と、半導体チップ表面上の電極と基板表面上の電極とを接続する導電体と、半導体チップ表面上に配置した補助材と、封止体流出制限手段と補助材との間に充填され、かつ、導電体を覆う封止体により構成されるものである。

【0007】また、本発明に係る半導体装置の製造方法においては、表面に電極を有する半導体チップを基板表面上に搭載する工程と、半導体チップの側面に対向する側面を有する封止体流出制限手段を基板表面上に設ける工程と、基板表面上の半導体チップと封止体流出制限手段との間に電極を形成する工程と、半導体チップ表面上の電極と基板表面上の電極とを導電体により接続する工程と、半導体チップを含む封止体流出制限手段により規定された領域の上方に充填カバーを配置する工程と、封止体流出制限手段と充填カバーとの間に封止体を充填する工程と、導電体を封止体により覆う工程から構成されるものである。

【0008】

【発明の実施の形態】以下、本発明の実施例を図面を参照して説明する。図1(a)～図1(b)は、本発明の第一の実施例を示す図であり、図1(a)は平面図、図1(b)は図1(a)のA-A'線で切断した断面図である。

【0009】第一の実施例では、電極6を有するガラスエポキシ樹脂からなる基板2上に、半導体チップ4が接着剤や接着テープといった接着材1により固定されている。このとき図1(b)で示すように、半導体チップ4を搭載する前に基板2表面に基板上の電極6が形成されている面よりも低い凹部3領域を設け、その後、凹部3領域上に半導体チップ4を搭載すると、より薄型化した半導体装置を得ることができる。ここで、凹部3領域は基板2を削ることによって得られる。

【0010】次に、半導体チップ表面にある電極5と基板表面上の電極6を、導電体7により電気的に接続する。この実施例では、導電体7として周知のワイヤーボンディング装置により形成される金属細線が用いられる。ここで、基板上の電極6の一端には導電体7が接続され、他端には基板2の同一表面上に設置された、例えばコンデンサー等の外部端子(図示せず)、若しくは基板2の裏面上に設置された外部端子11等が基板2の裏面に通じるパイアホール10により接続されている。

【0011】更に、半導体チップ4と導電体7の周囲、正確には、半導体チップ4の側面に対向する側面を有するような封止体8の流れ出しを防ぐ封止体流出制限手段を設ける。なお、本実施例以降では、封止体流出制限手段として半導体チップ4及び導電体7を取り囲む枠9を設け

ている。その後、半導体チップ4表面上に補助材101を設置する。最後に、補助材101と枠9との間に封止体8を注入し、半導体チップ4と導電体7を封止する。

【0012】なお、枠型を模った開口部をもつマスクの上から枠用樹脂を印刷塗布する方法、マスクを用いずにエア圧力を利用して、枠用樹脂を軌跡を描くように吐出する方法、あるいは、あらかじめ成形性の良い樹脂、例えばエポキシ樹脂で形成した枠を固定する方法などにより、封止体流出制限手段である枠9が形成、設置される。

【0013】また、補助材101は成形や取り扱いの容易さなどにより樹脂によって形成されることが望ましく、例えばエポキシ樹脂等の熱に強い成形性に優れた材料により予め形成し、半導体チップ4表面上に載せる方法、また、同じく熱に強く、硬化前の粘度が比較的高いエポキシ等の樹脂を上から垂らすようにし、半導体チップ4表面上に直接形成する方法などにより設置される。ここで、前者の方法によると、均一な大きさ、高さをした補助材101を配置することが可能となる。また、後者の方法を用いると、前者の方法に比べ、より少ない工程で補助材101を配置することが可能となる。

【0014】本発明では、補助材を半導体チップ上に設置すると、補助材が有する距離の分だけ枠との距離を近くすることができる。この結果、封止体が充填される部分の距離が短くなるために封止体を受ける表面張力の影響は小さくなり、注入された封止体の下がり幅を抑えることが可能となる。封止体の下がり幅をできる限り抑えるためには、枠9と補助材101との距離はより近いほど発明の効果を得ることができる。

【0015】その為、枠9と補助材101との距離はできる限り近くなるほうが良い。そこで、本実施例の図1(a)、(b)に示すように補助材101は、直方体で、かつ、半導体チップ4表面にある電極5部分を除く全体を占めるような大きさであることが望ましい。また、ここで配置する補助材の形状としては、補助材を配置することにより、枠9との距離を近くすることができればよい為、中心部分に空間を有する形状の補助材を用いても十分にこの発明の効果を得ることができる。しかし、図1(a)、(b)に示すように中心部分に空間をもたない補助材101を用いた方が、半導体チップ4をより確実に保護することが可能である。

【0016】加えて、本実施例で封止体流出制限手段である枠9は、半導体チップ4及び導電体7を完全に取り囲むように設置している。しかし、本発明において枠9は注入された封止体の流出を制限し、枠9と補助材101の間に注入された封止体8によって導電体7が封止されるものであればよい。その為、設置する封止体流出制限手段の形状は半導体チップ4と導電体7を完全に取り囲む形状である必要はない。

【0017】以上のように、第一の実施例では、封止体

流出制限手段である枠9をもつ半導体装置の半導体チップ4上に補助材101を配置することで、封止体8の基板2上への流れ出しを防ぎ、同時に、封止体が表面張力の影響を受ける距離を短くすることができる。その結果、注入した封止体8の下がり幅を抑えることが可能となり、導電体7、特に導電体の頂点部分7aを封止体8で確実に封止することができるようになる。このように、本実施例によれば、従来、半導体装置の信頼性低下を招く大きな原因となっている導電体7の露出を防ぐことができ、高い信頼性を維持した半導体装置を得ることが可能となる。

【0018】次に、第二の実施例を示す。図2(a)～(b)は、本発明の第二の実施例を示す図であり、図2(a)は平面図、図2(b)は図2(a)のA-A'線で切断した断面図である。また、図1(a)～(b)と同一物は同じ符号を用いている。

【0019】この第二の実施例では、補助材の上面201bが金属細線7の上方に位置する補助材201を半導体チップ4表面上に配置し、先の実施例同様に封止を行う。この際、本実施例においても、先の実施例同様に、半導体チップ4は凹部3領域に搭載する方が良い。

【0020】ここで、設置する補助材は、図2(a)のA-A'線で切断した断面が台形となるような、つまり、半導体チップ4に接する下面201aの面積よりもそれに対する上面201bの面積の方が広い四角柱や円柱等の形状をしたものである。また、この時、導電体7が接近する補助材の側面と導電体7とが所定距離だけ離れている形状を有する補助材を設けると、補助材の側面との接触による導電体の切断を回避することができ、歩留まりの低下を防ぐことが可能となる。

【0021】なお、本実施例においても第一の実施例と同様に、枠9と補助材101との距離はできる限り近くする方がより良い効果を得ることができる。そのため、補助材201は、図2(a)のA-A'線で切断した断面が台形の四角柱で、かつ、半導体チップ4に接する面201aと対向する面201bが半導体チップ4上全体を占めるような大きさのものであることが望ましい。

【0022】このように、第二の実施例では、導電体の頂点部分7a上部にも存在する補助材201を用いることで、第一の実施例の場合に比べ、補助材201と封止体流出制限手段である枠9との距離を更に縮めることが可能となる。その結果、表面張力の影響をより一層抑えることが可能となり、更に、保護したい導電体の頂点部分7aを確実に封止することができるようになる。

【0023】次に、第三の実施例を示す。図3及び図4(a)～(d)は、本発明の第三の実施例を示す図であり、図3は平面図、図4(a)～(d)は、それぞれの工程を図3のA-A'線で切断した方向から見た断面図である。また、図1(a)～(b)と同一物は同じ符号を用いている。

【0024】この第三の実施例では、図4(a)～(b)に

示すように、まず、枠9の高さよりも高い位置に存在する補助材301を半導体チップ4上に配置し、先の実施例同様に封止を行う。もちろん、この場合も、半導体チップ4は凹部3領域に搭載する方がよい。

【0025】更に、図4(c)～(d)に示すように、封止体8が硬化した後、ドリル12を使ったミーリングや研磨等により補助材301を削り、枠9と補助材301と封止体8とで略同一平面を構成する。ここで、略同一平面を構成する高さについては、導電体7が確実に封止体に覆われることが必要であるため、導電体の頂点部分7aより上方50 μm以上の高さに構成されることが望ましい。

【0026】また、枠9や封止体8が導電体の頂点部分7aの上方50 μmよりも高い位置にある場合、補助材301だけでなく、枠9及び封止体8も同時に削ると、より薄型の半導体装置を容易に得ることが可能となる。

【0027】このように、第三の実施例では、枠9の高さよりも高い位置に存在する補助材301を用いることで、補助材の側面がより高い高さに存在する為、第一及び第二の実施例の場合に比べ、より高い位置に封止体8が引き付けられ、封止体8の下がり幅を抑えることが可能となる。更に本実施例では、補助材301と枠9の間に封止体8を注入した後、補助材301、及び、枠9と封止体8を削り、同一平面を構成する。この封止体8注入後の削りを行うことにより、削りを行わない先の第一及び第二の実施例に比べ、全体の高さの調節が容易となる。その結果、容易に導電体7を封止する最低の高さに平面を形成することが可能となり、全体の厚さを薄型化した半導体装置を確実に得ることができるようになる。

【0028】続いて、第四の実施例を示す。図5及び図6(a)～(d)は、本発明の第四の実施形態を示す図であり、図5は平面図、図6(a)～(d)は図5のA-A'線で切断した断面図であり、各工程を表している。また、図1(a)～(b)と同一物は同じ符号を用いている。

【0029】第四の実施例では、先の実施例と同様に、電極6を有するガラスエポキシ樹脂からなる基板2表面に凹部3領域を設け、その凹部3領域に半導体チップ4が接着剤や接着テープといった接着材1により固定されている。次に、半導体チップ4表面上にある電極5と基板表面上の電極6を、導電体7により電気的に接続する。更に、半導体チップ4と金属細線7の周囲、半導体チップ4の側面に対向する側面を有するような封止体流出制限手段である枠9を設ける。

【0030】その後、図6(a)に示すように、半導体チップ4を含み、枠9により規定された領域の上方、導電体7が確実に封止される高さに充填カバー401を配置する。ここで封止体流出制限手段により規定された領域、つまり枠9領域とは封止体流出制限手段である枠9によって仕切られた半導体チップ4と導電体7を含む領域のことであり、上方に設けられる充填カバー401とは枠9により規定された領域に封止体8を注入する際に封止体を抑える為

のものである。続いて、図6(b)～(c)に示すように、充填カバー401と枠9に囲まれた領域へ、封止体8を注入し、半導体チップ4と導電体7を封止する。更に、図6(d)に示すように、封止体8が硬化した後、充填カバー401を除去し、半導体装置を形成する。この際、充填カバー401の封止体8(本実施例では、エポキシ樹脂)と接する面401aに、予め、封止樹脂との接着を抑える効果を有する樹脂剥離剤を塗布しておく、封止体8注入後、より簡単に充填カバーを除去することができるようになる。

【0031】ここで、充填カバー401は、注入される封止体8の高さが最も基板2表面上より離れている部分、つまり導電体の頂点部分7aより50 μm以上になる位置に配置する。本実施例では、図5で示すように、枠9領域と同じ大きさである充填カバー401を枠9の上に配置し、封止を行っている。

【0032】しかし、本発明において、充填カバー401は注入される封止体8の高さが導電体の頂点部分7aより50 μm以上になるよう配置されればよい。そのため、枠9の高さが導電体の頂点部分7aよりも50 μm以上高い場合などでは、枠9によって規定された領域よりも小さい面積の充填カバー401を枠9との間に空間をもつよう上方に配置し、封止を行えばよい。この時の充填カバー401を配置する高さとしては、枠9の高さよりも低い位置、できれば導電体の頂点部分7aから50 μmの高さであることが望ましい。また、この場合も、封止体8硬化後、第三の実施例と同様に枠9及び封止体8の削りを行えば、より容易に薄型半導体装置を得ることが可能となる。

【0033】なお、充填カバー401の形状についても、先の実施例と同様、枠9と充填カバー401との距離ができる限り近い程、封止体8が受ける表面張力の影響を小さくでき、封止体8の下がり幅を抑えることができる。そのため、充填カバー401は、枠9に対応する形状であることが望ましい。

【0034】加えて、本実施例では、図5に示したように、枠9領域と充填カバーとの間に存在する気体を排出する開口部を有する、例えば格子状をした充填カバー401を用いている。このように開口部を有する充填カバーを用いることで、開口部を持たない充填カバーを用いた場合に比べ、封止体8を注入する際に枠9領域と充填カバーとの間に存在する気体、例えば空気を逃げやすくすることができる。その結果、封止体8の広がる速度が上がり、封止効率を向上させることが可能となる。この際、配置する充填カバーは少なくとも導電体の頂点部分7a上に存在していることが望ましく、そのような形状の充填カバーを用いることで最も露出し易い導電体の頂点部分7aの封止を確実に行うことができるようになる。更にここで、封止体8を注入する領域の任意の2箇所、例えば対角線上に樹脂注入口と空気吸引口を設け、封止体8注入する際に枠9と充填カバー401内にある空気の吸引を同時に行う

ようにすれば、封止体8の広がる速度は更に速くなり、より封止に必要な時間を短縮することも可能となる。

【0035】この第四の実施例では、予め用意した充填カバー401を配置し、封止を行う。そのため、それぞれの半導体装置を製造する毎に補助材を用意し、封止を行う先の3つの実施例に比べ、1枚の充填カバー401を用いるのみで封止を行えるので、より低コストで半導体装置を製造することが可能となる。また、各半導体装置を製造する際、同じ1つの充填カバー401を用いて封止を行うため、補助材の形状等のバラツキによる封止ミスを防ぐことも可能である。

【0036】更に、充填カバー401を用いる本実施例の場合、充填カバー401を配置する高さを容易に変えることができるので、各半導体装置のワイヤーボンドによる導電体の頂点の高さの誤差を考慮した上で、封止を行うことができる。これにより、最も薄型の半導体装置を得ることが可能となる。

【0037】

【発明の効果】以上詳細に説明したように、この発明によれば、基板表面に封止体流出制限手段である枠を設けた半導体装置において、補助材及び充填カバーを用いて封止を行うことで、枠による表面張力の影響を受ける距離を短くし、封止体の下がり幅を抑えることが可能となり、また、中心部分の封止体の厚さを十分に確保することができるようになる。その結果、従来の半導体装置に*

*比べ、導電体の露出を防ぎ、更に全体の厚さを薄型化した半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示す平面図及び断面図である。

【図2】本発明の第二の実施例を示す平面図及び断面図である。

【図3】本発明の第三の実施例を示す平面図である。

【図4】本発明の第三の実施例の各工程を示す断面図である。

【図5】本発明の第四の実施例を示す平面図である。

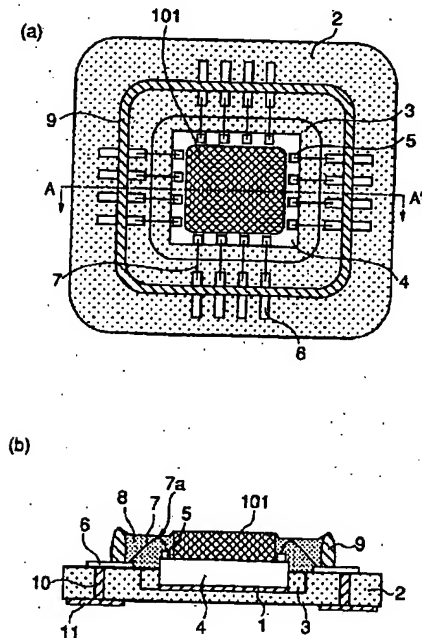
【図6】本発明の第四の実施例の各工程を示す断面図である。

【図7】従来の半導体装置を示す平面図である。

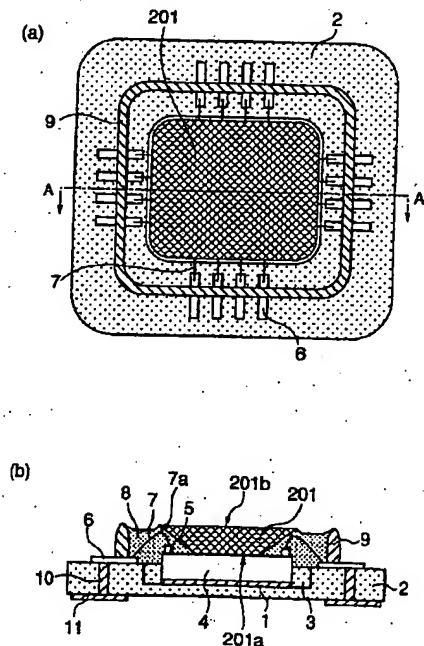
【符号の説明】

- 1 着材
- 2 基板
- 4 半導体チップ
- 5 半導体チップの電極
- 6 基板の電極
- 7 導電体
- 8 封止体
- 9 枠
- 101 補助材

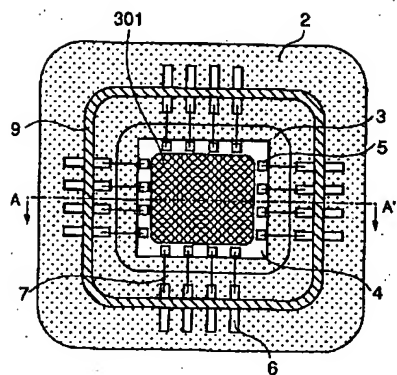
【図1】



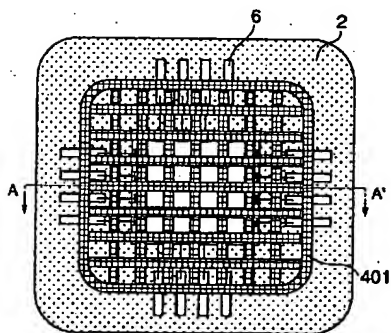
【図2】



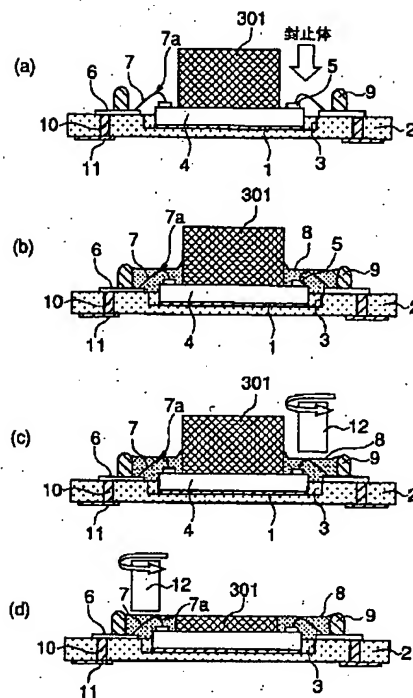
【図3】



【図5】



【図4】



【図7】

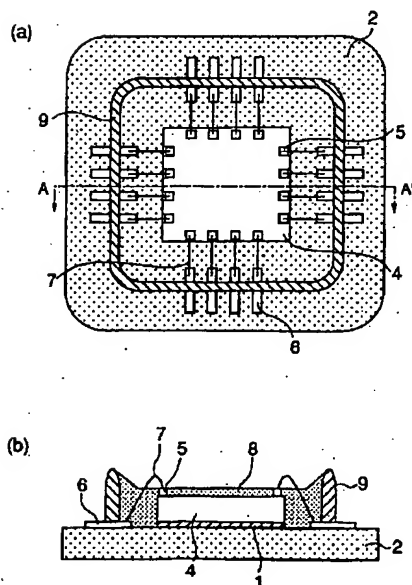


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).

- (a)** Shows a substrate 1 with a layer 4 on top. A central region 3 is defined by a layer 11. A layer 10 is on the left. A layer 5 is on the right. A layer 7 is on top of 4, with a sub-layer 7a. A layer 401 is on top of 7, with a sub-layer 401a. A layer 9 is on top of 5. A layer 6 is on the left, and a layer 8 is on the right.
- (b)** Shows the same structure as (a), but with a "封止体" (sealing body) 5 added on top of the central region 3. The layer 401 is now labeled 401a.
- (c)** Shows the same structure as (b), but with a layer 8 added on top of the central region 3. The layer 401 is now labeled 401a.